

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

PUB-NO: JP409064037A  
DOCUMENT-IDENTIFIER: JP 09064037 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: March 7, 1997

INVENTOR-INFORMATION:

NAME

COUNTRY

MATSUBARA, JIYUNKO

TAJIMA, SUSUMU

HARADA, SHIGERU

INT-CL (IPC): H01 L 21/3205; H01 L 21/316; H01 L 21/768

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device that the manufacturing cost can be suppressed without increasing the number of steps in the case of forming an interlayer film of the device, excellent flatness, crack resistance and moisture resistance are provided and no corrosion of interconnection occurs.

SOLUTION: A silicon oxide film 4 is so formed as to cover the first interconnection 3 formed on a substrate 1 via a silicon oxide film 2. Then, the film 4 is coated with a thick inorganic SOG film 5, heat treated, then formed with a silicon oxide film 6, and a viahole 24 is formed by a predetermined mask. The residual gas 25 such as CO<sub>2</sub>, H<sub>2</sub>O adsorbed to the sidewall of the viahole are desorbed by heat treating under the pressure of 10-3Torr at 150 to 550°C in the state that the part of the film 5 is exposed with the side of the viahole 24. With this step, the corrosion of the interconnection formed thereafter is prevented to be able to obtain a semiconductor device having high reliability.

DERWENT-ACC-NO: 1997-131237  
DERWENT-WEEK: 200134  
COPYRIGHT 2002 DERWENT INFORMATION LTD

TITLE: Mfg. semiconductor device - using inorganic spin-on-glass to form a thick film between the substrate and top layer

INVENTOR: HARADA, S; MATSUBARA, J ; TAJIMA, T ; MATSUHARA, J ; TAJIMA, S

PRIORITY-DATA: 1995JP-0214798 (August 23, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
KR 266428 B1	September 15, 2000		000	H01L021/314
TW 291598 A	November 21, 1996		013	H01L027/01
DE 19630342 A1	February 27, 1997		032	H01L021/316
JP 09064037 A	March 7, 1997		016	H01L021/3205
KR 97013070 A	March 29, 1997		000	H01L021/30
US 5976626 A	November 2, 1999		000	B05D003/04
IT 1283799 B	April 30, 1998		000	H01L000/00

INT-CL (IPC): B05 D 3/04; H01 L 0/00; H01 L 21/30; H01 L 21/314; H01 L 21/316; H01 L 21/3205; H01 L 21/768; H01 L 27/01; H01 L 27/11

ABSTRACTED-PUB-NO: TW 291598A  
BASIC-ABSTRACT:

Mfg. semiconductor device includes the heat treatment to form an in-layer film. The inorganic SOG5 is stacked on the substrate of the semiconductor and surrounded by nitrogen, air, or vapour at temp. of 300-550 deg. C.  
ABSTRACTED-PUB-NO:

US 5976626A EQUIVALENT-ABSTRACTS:

Mfg. semiconductor device includes the heat treatment to form an in-layer film. The inorganic SOG5 is stacked on the substrate of the semiconductor and surrounded by nitrogen, air, or vapour at temp. of 300-550 deg. C.

US 5,976,626

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64037

(43) 公開日 平成9年(1997)3月7日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3205		H 0 1 L 21/88	K
	21/316		21/316	P
				G
	21/768		21/90	P

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号 特願平7-214798

(22) 出願日 平成7年(1995)8月23日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 松原 潤子

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 田島 享

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 原田 繁

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

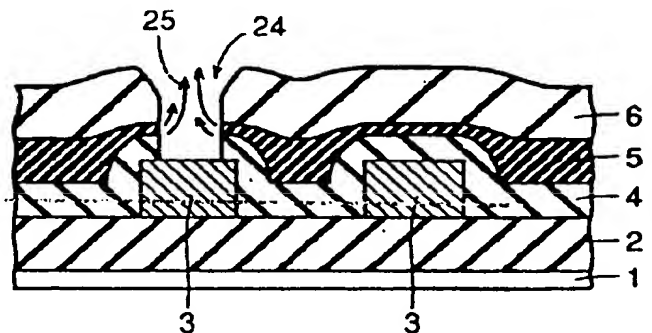
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の層間膜形成において、工程数を増やすことなく製造コストを抑えるとともに、平坦性、クラック耐性、および耐湿性に優れ、しかも配線の腐食を起こさない半導体装置の製造方法を提供する。

【解決手段】 基板1上に、シリコン酸化膜2を介在させ形成された第1の配線3を覆うようにシリコン酸化膜4を成膜する。次に、シリコン酸化膜4上に厚膜無機SOG膜5を塗布形成し、熱処理を加えた後、さらにシリコン酸化膜6を形成し所定のマスクにより、ビアホール24を形成する。厚膜無機SOG膜5の一部がビアホール24の側面に露出した状態で、圧力 $10^{-3}$  Torr以下、温度150～550℃にて熱処理を行なうことにより、ビアホール側壁に吸着しているCO<sub>2</sub>、H<sub>2</sub>Oなどの残留ガス25等が脱離する。この工程により、この後形成される配線の腐食を防ぎ信頼性の高い半導体装置を得ることができる。



## 【特許請求の範囲】

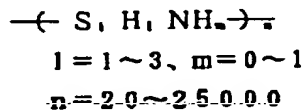
【請求項1】 無機SOGを半導体基板上に堆積後、温度300～550℃、窒素、空気または水蒸気の雰囲気にて熱処理を行ない、層間膜を形成する工程を含む半導体装置の製造方法。

【請求項2】 無機SOGを含む層間膜を半導体基板上に堆積し、前記層間膜に開口部を形成して、前記開口部の側壁面に前記無機SOGを露出した後、真空度 $10^{-3}$  Torr以下、温度150～550℃にて熱処理する工程を含む半導体装置の製造方法。

$S_iH_x(OR)_y$ 、  
 $x=1\sim3$ 、 $y=3\sim1$ 、Rは水素原子あるいは低級アルキル基

で示される第1のシリコンポリマー、または式

【化2】



で示される第2のシリコンポリマーを含む請求項1ないし4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】 半導体基板上に、前記第1または第2のシリコンポリマーを塗布した後、熱処理を加えて層間膜を形成する工程を含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置の製造方法、特に、金属配線間、金属配線下または上の層間絶縁膜形成方法および平坦化方法に関するものである。

【0002】

【従来の技術】近年、半導体デバイスの高密度化、高集積化に対して、下地段差の低減や配線間の絶縁膜の平坦化がデバイスの歩留りや信頼性を向上する上で重要なプロセスの1つとなっている。そのうち、SOG (Spin-on-Glass) を塗布して熱処理する方法が適用されている。

【0003】SOGには、無機SOGと、アルキル基がシリコンに直接結合した構造を有する有機SOGとの2種類がある。

【0004】無機SOGを用いて、下地段差を低減しようとする場合、図24に示すように、下地の酸化膜4上に無機SOG 5aを塗布した後、さらにもう一度、図25に示すように、無機SOG 5bを塗布して平坦性を向上する必要がある。

【0005】また、段差と段差との間のスペースを埋めた無機SOGには、成膜時に膜が収縮することによって引っ張り応力が働き、クラック20が発生する。

【0006】SOGが金属配線上のパッシベーション膜の一部として適用された場合、このクラックは耐湿性にも影響する。たとえば、図26に示すように、金属配線上にプラズマCVD法によって形成されたシリコン窒化膜11の段差下部にはクラック21が発生しやすい。こ

\*程を含む半導体装置の製造方法。

【請求項3】 無機SOGを半導体基板上に堆積後、前記無機SOG上に、窒素プラズマを照射する工程を含む半導体装置の製造方法。

【請求項4】 無機SOGを半導体基板上に堆積後、前記無機SOG上に、紫外線を照射する工程を含む半導体装置の製造方法。

【請求項5】 前記無機SOGは、式  
 【化1】

の段差下部を埋めるべくSOG 5bが適用されるが、このSOG 5bにもクラック20が発生すると、シリコン窒化膜11のクラック21との両方によって耐湿性が損なわれ、金属配線7を腐食することがある。

【0007】一方、図27に示すように、有機SOG 5cを用いた場合、およそ1.5 μmまでの膜形成が可能であることから、1回の塗布によって下地段差を低減できる利点がある。

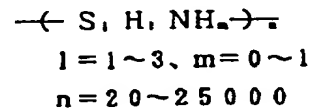
【0008】しかし、有機SOGはSi-CH<sub>3</sub>やSi-C<sub>2</sub>H<sub>5</sub>などのアルキル基を用い、このアルキル基が酸素プラズマによってダメージを受けやすい。このため、図28に示すように、ビアホールのエッチング時において、サイドエッチング22が発生したり、クラックや膜剥がれ23が発生する。

【0009】したがって、ビアホールの側壁に有機SOG 5cが露出しない構造を形成する必要がある。すなわち、有機SOG 5cを塗布形成後全面エッチバックを行ない、図29に示すように、下地段差上部の有機SOGを除去する。この付加的なプロセスを経ることによって、図30に示すように、ビアホールの側壁に有機SOG 5cが露出しない構造を形成することが可能となる。

【0010】さて、このような従来のSOGの問題を解決するため新しい材料として、従来の無機SOGよりも厚く形成することができる無機SOG (以下、厚膜無機SOGと称す) がある。特開平5-121572号公報には、厚膜無機SOG膜として、式

【0011】

【化3】



【0012】を使用した例が開示されている。この例は、第1の金属配線3上に上記化学式を持つシリコンポリマーを含む層間絶縁膜を堆積して、図31に示すように、ビアホール24のエッチングを行なった後、図32に示すように、第2の金属配線7を形成するものである。

【0013】ここで、塗布焼成されたシリコンポリマー

図28

は、 $\text{SiON}$ または $\text{SiO}_2$ 構造となって膨張する。このため、膜に残留圧縮応力が発生することによって、クラック耐性が向上するとともに、膜の緻密化を図ることができる。

【0014】このプロセスにより、サイドエッチやクラックを抑制することができる。しかし、図33に示すように、ビアホール24形成後、第2の金属配線を形成する際に、ビアホール側壁の $\text{SiO}_2$ から、 $\text{H}_2\text{O}$ や $\text{CO}_2$ などのガスが発生して第2の金属配線7が腐食するという、いわゆるボイズンドビアの不良を引起こす現象がある。これは、従来の無機 $\text{SiO}_2$ を適用した構造27や、有機 $\text{SiO}_2$ を適用した構造26も、図34に示すように、同様の現象を起こす。

【0015】

【発明が解決しようとする課題】以上説明したように、従来の無機 $\text{SiO}_2$ を用いて、半導体デバイスの配線間の絶縁膜の平坦化や下地段差の低減を図る場合、重ね塗りによる多層形成が必要で、工程数が増えコストがかかる問題や、成膜時に膜が収縮することによってクラックが発生し、耐湿性などのデバイスの信頼性に影響を及ぼす問題がある。

【0016】また、従来の有機 $\text{SiO}_2$ を用いた場合でも、有機 $\text{SiO}_2$ 露出面がサイドエッチされたり、クラックが入り配線の不良を引起こす問題がある。

【0017】さらに、以上の2種類の $\text{SiO}_2$ の改良 $\text{SiO}_2$ である厚膜無機 $\text{SiO}_2$ を用いた場合でも、ビアホール側壁部の厚膜無機 $\text{SiO}_2$ 露出面からの脱ガスによって、いわゆるボイズンドビアと呼ばれる配線腐食を起こし、デバイスの信頼性を損なうという問題がある。

【0018】本発明は、厚膜無機 $\text{SiO}_2$ を適用しても、工程数を増やすことなく、しかも、コストを抑え、クラック耐性が大きく、耐湿性に優れ、配線の不良を起こさない半導体装置の製造方法を提供することを目的とする。

【0019】

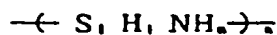
【課題を解決するための手段】上記目的を達成するため、請求項1に記載の製造方法は、厚膜無機 $\text{SiO}_2$ を半導体基板上に堆積後、温度300～550℃、窒素、空気または水蒸気の雰囲気にて熱処理を行ない層間膜を形成\*  
 $\text{Si}_x\text{H}_y(\text{OR})_z$ 、

$x=1\sim3$ 、 $y=3\sim1$ 、 $R$ は水素原子あるいは低級アルキル基

【0032】で示される第1のシリコンポリマー、または式

【0033】

【化5】



$x=1\sim3$ 、 $m=0\sim1$

$n=20\sim25000$

【0034】で示される第2のシリコンポリマーを適用

\*成する工程を備える。

【0020】この製造方法によれば、層間膜は、従来の無機 $\text{SiO}_2$ よりも厚膜化することができる。

【0021】したがって、1回の塗布によって下地段差を低減することができるとともに、クラック耐性を向上することができる。

【0022】また、請求項2に記載の製造方法は、厚膜無機 $\text{SiO}_2$ を含む層間膜を半導体基板上に堆積する工程と、その層間膜に開口部を形成し、その開口部の側壁面に厚膜無機 $\text{SiO}_2$ を露出させた後に、真空度 $10^{-3}\text{Torr}$ 以下、温度150～550℃にて熱処理する工程とを含んでいる。

【0023】この製造方法によれば、真空度 $10^{-3}\text{Torr}$ 以下、温度150～550℃にて熱処理を行なうことにより、側壁面の厚膜無機 $\text{SiO}_2$ に吸着しているガスを脱離することができる。

【0024】したがって、この後、金属配線を形成しても、金属配線が開口部で腐食することがなくなる。

【0025】また、請求項3に記載の製造方法は、厚膜無機 $\text{SiO}_2$ を半導体基板上に堆積後、その厚膜無機 $\text{SiO}_2$ 上に窒素プラズマを照射する工程を含む。

【0026】この製造方法によれば、厚膜無機 $\text{SiO}_2$ 層に、窒素プラズマを照射することによって窒化するすることができる。

【0027】したがって、厚膜無機 $\text{SiO}_2$ 内部が窒化した表面で保護されるので、クラック耐性をさらに向上することができる。

【0028】また、請求項4に記載の製造方法は、厚膜無機 $\text{SiO}_2$ を半導体基板上に堆積後、その厚膜無機 $\text{SiO}_2$ 上に紫外線を照射する工程を含む。

【0029】この製造方法によれば、厚膜無機 $\text{SiO}_2$ に紫外線を照射することによって、 $\text{SiO}_2$ 化することができる。

【0030】したがって、クラック耐性をより向上することができる。請求項5に記載の製造方法によれば、そのような厚膜無機 $\text{SiO}_2$ として、式

【0031】

【化4】

することができる。さらに、請求項6に記載の半導体装置の製造方法は、上記のような、第1または第2のシリコンポリマーを形成した後、熱処理を加えて層間膜を形成する工程を備えるので、クラック耐性が向上でき、層間膜を厚膜化することができる。

【0035】したがって、下地の段差を容易に低減することができるとともに、耐湿性等のデバイスの信頼性を向上することができる。

【0036】

## 【発明の実施の形態】

(実施の形態1) SOG材料を用いた本発明の実施の形態1を図を用いて説明する。

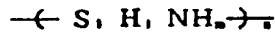
【0037】本発明で使用するSOGは厚膜無機SOG\*  
 $\text{Si}_x\text{H}_y(\text{OR})_z$ ,

$x=1\sim3$ 、 $y=3\sim1$ 、Rは水素原子あるいは低級アルキル基

【0039】で示される第1のSOG、または、式

【0040】

【化7】



$l=1\sim3$ 、 $m=0\sim1$

$n=20\sim25000$

【0041】で示される第2のSOGがある。この厚膜無機SOGは、 $\text{Si—OH}$ 結合からなる従来の無機SOGに比べると、 $\text{Si—H}$ の結合が切れにくいと、内部応力によるクラック耐性が約1.3～2.0倍に向上した。このため、一回の塗布で、従来の無機SOGよりも厚膜化が可能となった。

【0042】まず、図1に示すように、下地酸化膜4上に厚膜無機SOG5をスピンコートにより塗布し、溶媒を除去する。その後、シンタ炉にて $\text{N}_2$ 、 $\text{H}_2\text{O}$ 、 $\text{O}_2$ などの適当な雰囲気中で300～550℃の温度範囲で熱処理する。

【0043】この熱処理工程において、クラック耐性をより向上するためにシンタ炉への挿入および引出速度は、10cm/min以下であることが望ましい。また、挿入、引出しのときの温度は、実処理温度よりも30～100℃低い温度で行なうのが好ましい。

【0044】実際に、挿入引出温度を実処理温度と同じとした場合、5000ÅでSOGにクラックが発生したものが、挿入引出の温度を実処理温度より30～100℃下げることによってSOGのクラックの発生を防止することができた。

【0045】また、挿入引出速度を15cm/minで行なった場合、7000ÅでSOGにクラックが発生していたものが、10cm/minに下げることによってSOGのクラックの発生を防止することができた。

【0046】このようにして、一回のSOG塗布によって下地段差の低減やクラック耐性の向上が図れるので、半導体装置の信頼性を上げることができるとともに、工程数を増やすことがなく、製造コストも抑えることができる。

【0047】(実施の形態2)次に、本発明の実施の形態2を説明する。

【0048】図1に示したように、下地酸化膜4上に厚膜無機SOGを形成した後、図2に示すように、プラズマCVD法により、シリコン酸化膜6を形成する。所定のマスクにより、ビアホールのパターニング行ない、異

\*と呼ばれ、 $\text{Si—H}$ や $\text{Si—N}$ などの無機基とシリコンとの結合を持ち、式

【0038】

【化6】

方性エッチングを行なってビアホール24を形成する。

【0049】次に、図3に示すように、ビアホール側壁に厚膜無機SOGの一部が露出した状態において、 $10^{-3}\text{ Torr}$ 以下の減圧状態にて、温度150～550℃の範囲で熱処理を行なう。この熱処理によって、ビアホール側壁部のSOGの一部に吸着している $\text{CO}_2$ 、 $\text{H}_2\text{O}$ などの残留ガス25や吸着水が脱離する。

【0050】熱処理後、ビアホール側壁に不純物が再吸着するのを防ぐために、図4に示すように、連続して第2の配線7を形成する。

【0051】ここで、熱処理の温度範囲は次の実験により求めた。すなわち、ビアホールを開口して厚膜無機SOGの一部が露出した状態において、TDS (Thermal-Desorption-Spectroscopy) により脱ガス量を評価した。この場合、第1のSOGを適用した。

【0052】その結果、図5に示すグラフを得た。これは、ウェハに与える温度とウェハから脱離して検出される物質の質量数との関係を示すものである。このグラフによると、質量数18、すなわち $\text{H}_2\text{O}$ の脱ガス量が多く、150℃付近を中心に放出されていることが判明した。

【0053】したがって、ビアホール開口後の熱処理の下限温度は150℃であることが望ましい。一方、上限温度は金属配線が溶融しない550℃が好ましい。

【0054】さらに、ウェハの歩留りの熱処理温度依存性を評価した。図6はその結果で、熱処理温度が100℃では歩留りにばらつきが大きい、200℃以上になると高歩留りでかつばらつきが低減していることがわかった。

【0055】このようにして、厚膜無機SOGを金属配線間に適用した際に、ビアホールに厚膜無機SOGが露出した構造となっても、減圧下にて熱処理して脱ガスを行なうことによって、金属配線が腐食するのを防ぐことができ、半導体装置を高歩留りでかつ安定して得ることができる。

【0056】(実施の形態3)次に、実施の形態3を説明する。

【0057】図7に示すように、第2の配線7上に、厚膜無機SOG25を塗布し、熱処理してビアホールを埋め込む。その後、図8に示すように、プラズマCVD法によって、シリコン酸化膜26を堆積した後、第3の配線27を形成する。さらに、第3の配線27を覆うようにシリコン酸化膜28を堆積する。

【0058】以下、同様の工程を繰返すことによって、3層以上の多層配線構造を形成する。

【0059】このようにして、厚膜無機SOGを適用することによって下地の段差を低減したり、ビアホールを埋め込むことができるので、多層配線を容易に形成することができ、デバイスの高集積化を図ることができる。

【0060】（実施の形態4）次に、実施の形態4として、SOGの窒化を行ない、さらにクラック耐性を向上する方法について説明する。

【0061】図9に示すように、第1の配線3を覆うようにプラズマCVD法によってシリコン酸化膜4を形成した後、厚膜無機SOG5を塗布形成する。

【0062】次に、このSOG5表面に窒素プラズマを照射し、図10に示すように、SOG5の表面を窒化5dする。

【0063】ここで、厚膜無機SOG塗布後、窒素プラズマ処理の有無による脱ガス量をTDSにて評価した。その結果、図11および図12に示すグラフを得た。この場合、第1のSOGを適用した。

【0064】図11は窒素プラズマ処理をしないもの、図12は窒素プラズマ処理をしたものである。図12に示すように、窒素プラズマ処理を行なったものは500℃付近までは脱ガスはほとんど見られなかった。つまり、500℃以下では膜の分解などが抑制され、膜の収縮が起こらない。したがって、SOG表面付近を窒化することにより、クラック耐性が向上することがわかった。

【0065】さらに、クラック耐性の加速評価を行なったところ、窒素プラズマ処理した厚膜無機SOGは、400℃15分、窒素雰囲気による熱処理を10回繰返しでもクラックが発生しなかった。一方、窒素プラズマ処理をしなかった厚膜無機SOGについては、4回目でクラックが発生した。

【0066】このようにして、厚膜無機SOG塗布後、窒素プラズマ処理を施すことによってクラック耐性が向上し、信頼性の高い半導体装置を得ることができる。

【0067】（実施の形態5）次に、実施の形態5として、厚膜無機SOGのSiO<sub>2</sub>化をより促進し、クラック耐性を向上させる方法について説明する。

【0068】図13に示すように、第1の配線3を覆うようにプラズマCVD法によってシリコン酸化膜4を形成した後、厚膜無機SOG5を塗布形成する。次に、この厚膜無機SOG5表面に紫外線を照射する。

【0069】ここで、紫外線照射の有無による厚膜無機SOG中のSiO<sub>2</sub>化の違いを、図15および図16を用いて説明する。図15は、厚膜無機SOG塗布後紫外線照射せずに、300℃または400℃で熱処理した後のSOGの赤外線吸収スペクトルを示し、図16は、厚膜無機SOG塗布後紫外線照射を行ない、300℃または400℃で熱処理した後のSOGの赤外線吸収スペク

トルを示す。この場合、第2のSOGを適用した。

【0070】紫外線照射した厚膜無機SOGは、Si-O-Siの結合に対応する赤外線吸収強度が、紫外線を照射しない厚膜無機SOGのものとは比べて大きくなり、SiO<sub>2</sub>化が促進されていることが判明した。

【0071】このようにして、紫外線を照射することによって、図14に示すように、SiO<sub>2</sub>5e化が促進され、クラック耐性がさらに向上して信頼性の高い半導体装置を得ることができる。

10 【0072】さらに、厚膜無機SOGのクラック耐性が向上する特性は、耐湿性も向上する役目を果たす。

【0073】（実施の形態6）そこで、実施の形態6として、パッシベーション膜と併用する場合について説明する。

【0074】図17に示すように、金属配線7上にプラズマCVD法によって形成されたパッシベーション膜11としてのシリコン窒化膜11の段差下部付近にはクラック21が入りやすい。しかし、クラックが入ったとしても、シリコン酸化膜またはシリコン窒素の上に、厚膜無機SOGを塗布し熱処理を加えてクラック21を塞ぐことによって、クラックから水蒸気などが浸入するのを防ぐことができる。

【0075】したがって、半導体装置の耐湿性が向上し、信頼性の高い半導体装置を得ることができる。

【0076】（実施の形態7）次に、実施の形態7を説明する。

【0077】厚膜無機SOGを適用することによって、配線腐食防止、クラック耐性、平坦性の向上に直接効果があることは述べてきたとおりであるが、半導体デバイスの電気的特性の向上へも間接的に貢献することができる。すなわち、厚膜無機SOG以外のシリコン系の膜において、もしSi原子にダングリングボンドと呼ばれる未結合手が存在する場合、厚膜無機SOG中に存在する水素がその未結合手へ結合して、未結合手を終端させる役目を果たすことができる。つまり、厚膜無機SOGが未結合手への水素供給源となるのである。

【0078】たとえば、先端メモリデバイスの1つとしてSRAM（Static-Random-Access-Memory）がある。SRAMのメモリセルはフリップフロップにより形成され、いくつかのタイプがある。その中に、安定性のよいCMOS型セルでかつセル面積を小さくするために開発されたTFT（Thin-Film-Transistor）型がある。

40 【0079】図18は、その断面の一例を示すものである。TFTは、基板1上に形成されたゲート電極9上にゲート酸化膜31を介在させて、ポリシリコン34からなるチャンネル領域と、ゲート電極9の両側に1対のソース/ドレイン32、33とを含んで構成される。ポリシリコン34には、図19に示すように、結晶粒界35が存在する。その結晶粒界35には、シリコンのダングリングボンド36が存在し、ミッドギャップ準位を形成



する。

【0080】この準位にキャリアがトラップされ、他のキャリアを結晶粒界35から排除して空乏層37を作り電位障壁を作る。この電位障壁のために、ゲート電圧がしきい値電圧のときのソース／ドレイン間電流であるオン電流が減少したり、ゲート電圧が0Vのときのソース／ドレイン間電流であるオフ電流が、この準位を介した熱励起によりリーク電流として生じる。

【0081】したがって、TFTの電気的特性として、オン電流は高い方が、オフ電流は低い方が特性がよい。

【0082】そこで、図20に示すように、TFT上にTEOS系シリコン酸化膜38を介在させ、厚膜無機SOG5を形成する。図21に示すように、厚膜無機SOG中の水素が下層のTFTのポリシリコン34のダングリングボンドに結合39する。

【0083】水素が結合することにより、ミッドギャップ準位のキャリアを減少させて、電位障壁を下げ、オン電流を増加させるとともに、ミッドギャップ準位を介した発生電流を抑制して、オフ電流を減少させることができる。

【0084】実際に、チャンネル長0.6 $\mu$ m、チャンネル幅0.8 $\mu$ mを有するTFTを備えたSRAMにおいて、厚膜無機SOGを適用しない場合、オン電流が1pA程度、オフ電流が100fA程度であったものが、厚膜無機SOGを適用することによって、オン電流10pA程度、オフ電流10fA程度となり、それぞれ約1桁の特性向上を達成することができた。

【0085】また、SRAMに限らずDRAM (Dynamic-Random-Access-Memory) においても、ダングリングボンドを終端させることによって、メモリ信号を再生させるリフレッシュの間隔を延ばすことができるなど、リフレッシュ特性を改善することができる。さらに、トランジスタの接合リーク電流を低減することができる。このようにして高性能でしかも信頼性の高い半導体装置を得ることができる。

【0086】以上の実施の形態においては、厚膜無機SOGを残すようなプロセスつまり、ノンエッチバックプロセスを中心に説明したが、デバイスの平坦性向上を図るために、エッチバックを行なうこともできる。

【0087】(実施の形態8)そこで、実施の形態8について説明する。

【0088】図22に示すように、半導体基板1上に形成された分離絶縁膜8、ゲート電極9などを埋めるように酸化膜10を堆積する。その後、その酸化膜10上に厚膜無機SOG5を塗布熱処理することによって酸化膜の段差部を埋め、ほぼ平坦なSOG膜を形成する。次に、このSOG膜および酸化膜をたとえば異方性エッチングにより全面エッチバックを行ないSOG膜を除去する。この工程により、図23に示すように、段差の軽減された下地を得ることができる。

【0089】なお、ドライエッチバックに限らず、SOG膜と酸化膜に対するエッチングレートがほぼ同じになるようなエッチング方法であればどんな方法でもよい。

【0090】このようにして、下地段差を軽減することができるので、後の工程における写真製版工程において、所定のパターンを精密に形成することができ、信頼性の高い半導体装置を得ることができる。

【0091】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記で説明した範囲ではなくて特許請求の範囲によって示され、特許請求の範囲の均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図2】 本発明の実施の形態2に係る半導体装置の製造方法の一工程を示す断面図である。

【図3】 本発明の実施の形態2において、図2に示す工程の後に行なわれる工程を示す断面図である。

【図4】 本発明の実施の形態2において、図3に示す工程の後に行なわれる工程を示す断面図である。

【図5】 本発明の実施の形態2に係るTDSによるSOGの脱ガス評価結果を示すグラフである。

【図6】 本発明の実施の形態2に係るウェハ歩留りとバーク温度との関係を示すグラフである。

【図7】 本発明の実施の形態3に係る半導体装置の製造方法の一工程を示す断面図である。

【図8】 本発明の実施の形態3において、図7に示す工程の後に行なわれる工程を示す断面図である。

【図9】 本発明の実施の形態4に係る半導体装置の製造方法の一工程を示す断面図である。

【図10】 本発明の実施の形態4において、図9に示す工程の後に行なわれる工程を示す断面図である。

【図11】 本発明の実施の形態4に係るTDSによるSOGの脱ガス評価結果を示す第1のグラフである。

【図12】 本発明の実施の形態4に係るTDSによるSOGの脱ガス評価結果を示す第2のグラフである。

【図13】 本発明の実施の形態5に係る半導体装置の製造方法の一工程を示す断面図である。

【図14】 本発明の実施の形態5において、図13に示す工程の後に行なわれる工程を示す断面図である。

【図15】 本発明の実施の形態5に係る赤外線吸収によるSOGスペクトルの第1の図である。

【図16】 本発明の実施の形態5に係る赤外線吸収によるSOGスペクトルの第2の図である。

【図17】 本発明の実施の形態6に係る半導体装置の製造方法の一工程を示す断面図である。

【図18】 本発明の実施の形態7に係るSRAMのTFT近傍の断面図である。

【図19】 本発明の実施の形態7において、ポリシリコン中のシリコンの結合状態を示す図である。

【図20】 本発明の実施の形態7において、図18に示すTFT上にSOGを形成した断面図である。

【図21】 本発明の実施の形態7において、図20に示すポリシリコン中のシリコンの結合状態を示す図である。

【図22】 本発明の実施の形態8に係る半導体装置の製造方法の一工程を示す断面図である。

【図23】 本発明の実施の形態8において、図19に示す工程の後に行なわれる工程を示す断面図である。

【図24】 従来の半導体装置の製造方法の一例の一工程を示す断面図である。

【図25】 従来において、図21に示す工程の後に行なわれる工程を示す断面図である。

【図26】 従来の半導体装置の製造方法の他の例の一工程を示す断面図である。

【図27】 従来の半導体装置の製造方法のさらに他の例の一工程を示す断面図である。

【図28】 従来において、図24の工程の後に行なわ

れる工程を示す第1の断面図である。

【図29】 従来において、図24の工程の後に行なわれる工程を示す第2の断面図である。

【図30】 従来において、図26に示す工程の後に行なわれる工程を示す断面図である。

【図31】 従来の半導体装置の製造方法のまたさらに他の例の一工程を示す断面図である。

【図32】 従来において、図28に示す工程の後に行なわれる工程を示す断面図である。

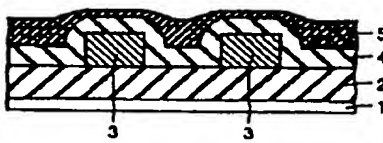
【図33】 従来において、図29に示す工程の後の断面を示す図である。

【図34】 従来の半導体装置の製造方法のまたまたさらに他の例の一工程を示す断面図である。

【符号の説明】

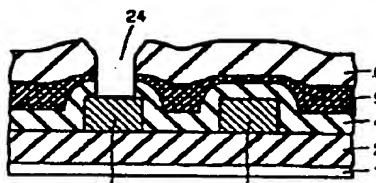
2, 4, 6, 11, 12 シリコン酸化膜、3 第1の配線、5, 5d 厚膜無機SOG、5a, 5b 無機SOG、5c 有機SOG、7 第2の配線、20, 21, 23 クラック、22 サイドエッチ、24 ビアホール、25 残留ガス。

【図1】

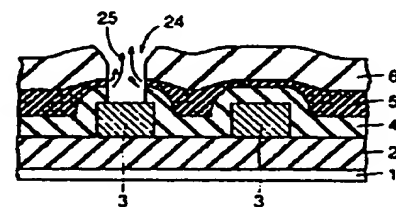


1: 半導体基板  
2: シリコン酸化膜  
3: 第1の配線  
4: シリコン酸化膜  
5: 厚膜無機SOG  
6: シリコン酸化膜  
7: 第2の配線  
20: クラック  
25: 残留ガス

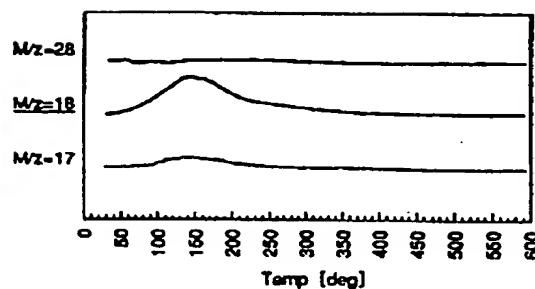
【図2】



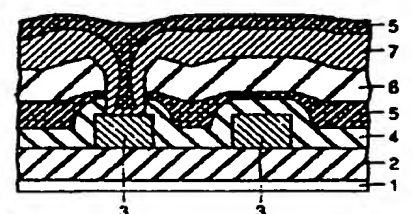
【図3】



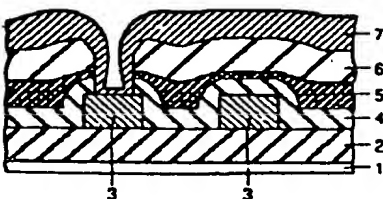
【図5】



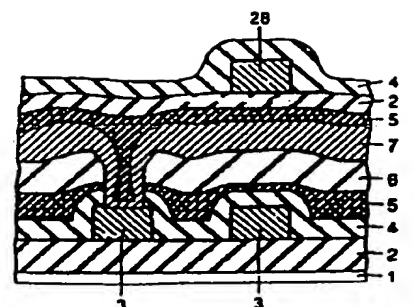
【図7】



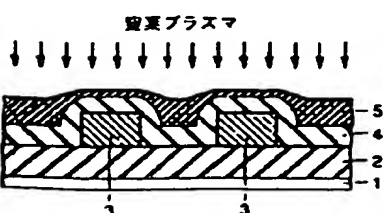
【図4】



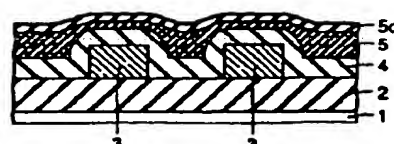
【図8】



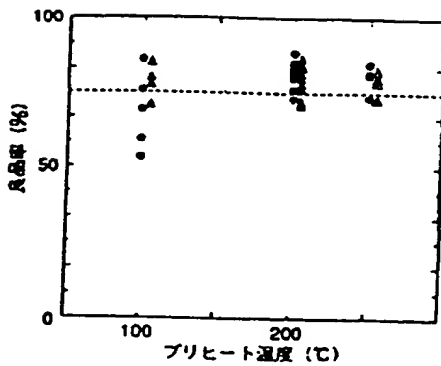
【図9】



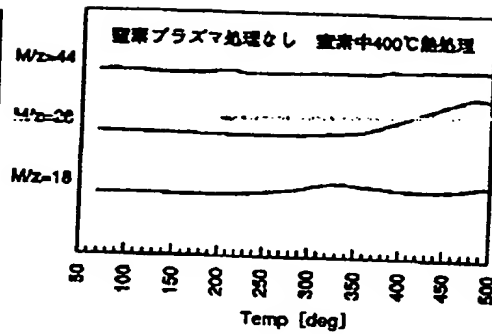
【図10】



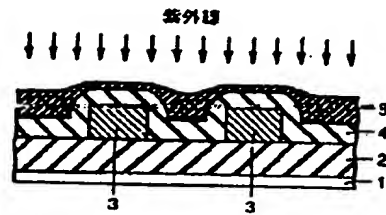
【図6】



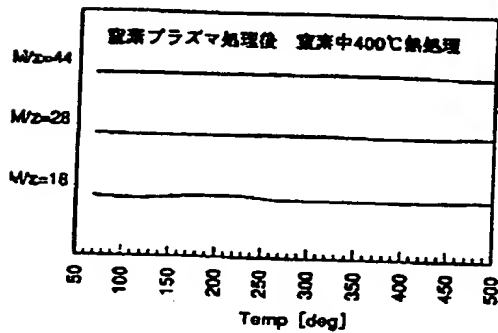
【図11】



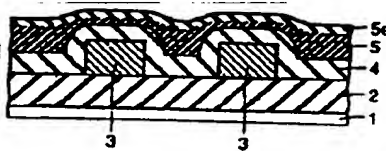
【図13】



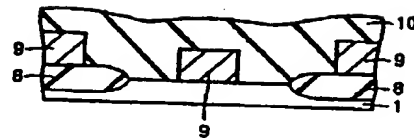
【図12】



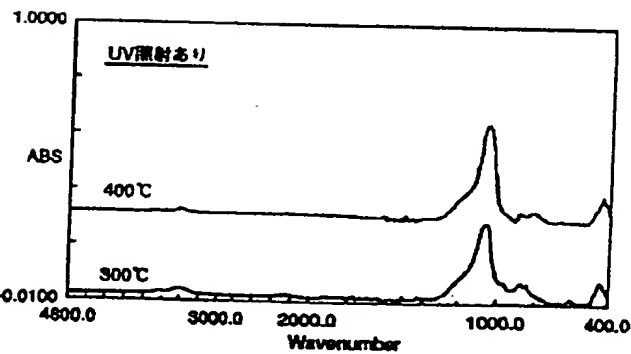
【図14】



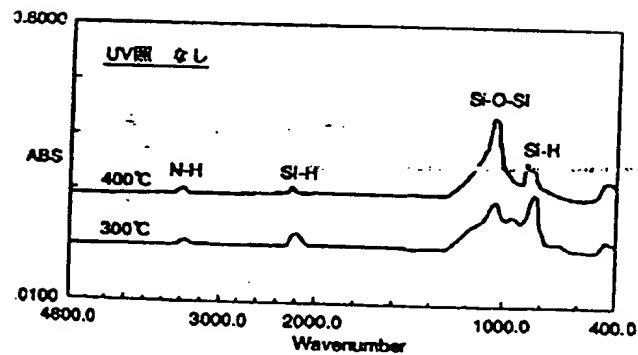
【図23】



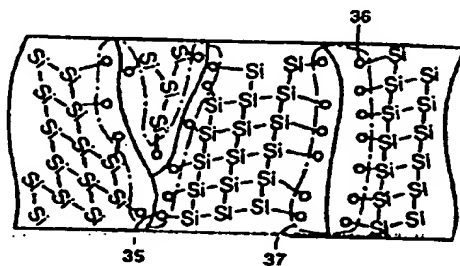
【図16】



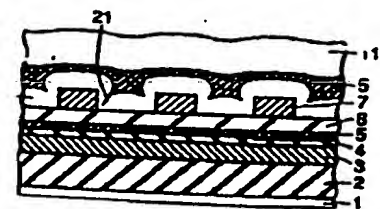
【図15】



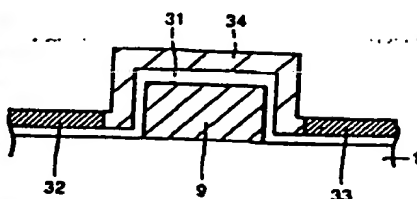
【図19】



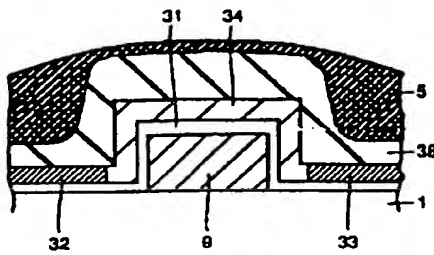
【図17】



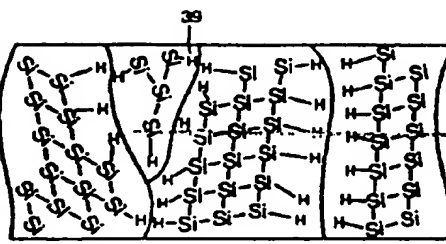
【図18】



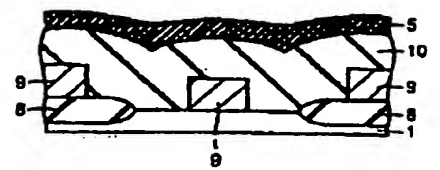
【図20】



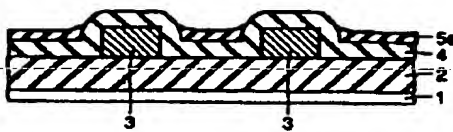
【図21】



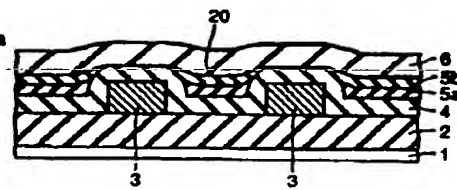
【図22】



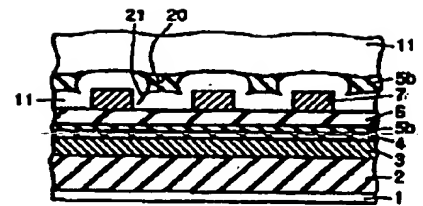
【図24】



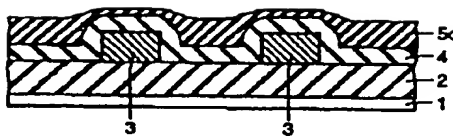
【図25】



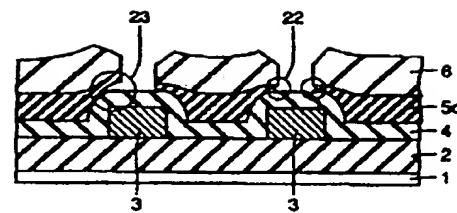
【図26】



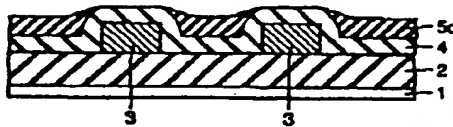
【図27】



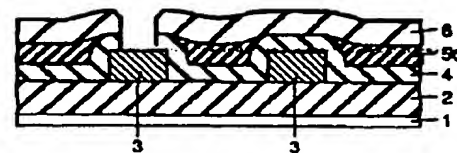
【図28】



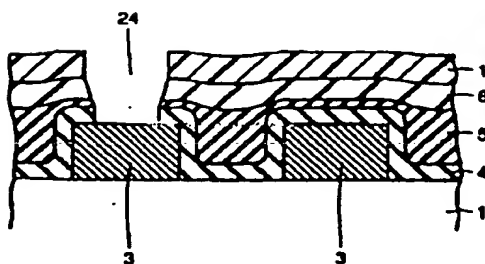
【図29】



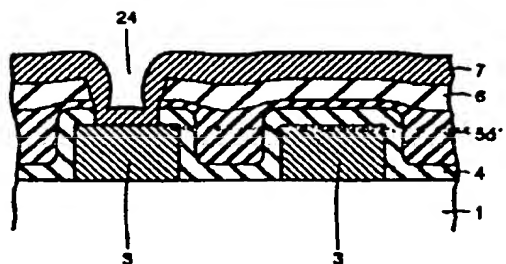
【図30】



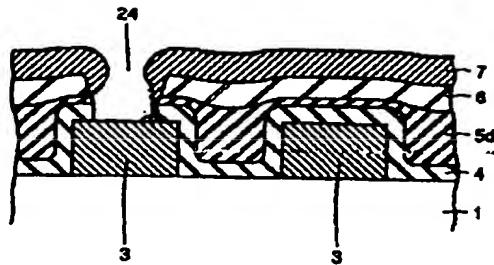
【図31】



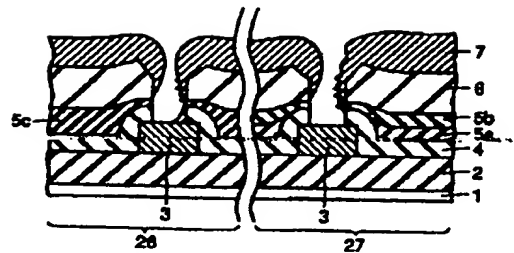
【図32】



【図33】



【図34】



## 【手続補正書】

【提出日】平成8年3月14日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体装置の製造方法

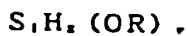
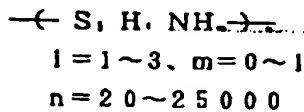
【特許請求の範囲】

【請求項1】 スピンオンガラス法によって無機膜を半導体基板上に形成後、温度300～550℃の下で、窒素の雰囲気、空気の雰囲気または水蒸気の雰囲気にて熱処理を行ない、層間膜を形成する工程を含む半導体装置の製造方法。

【請求項2】 スピンオンガラス法によって形成された $\text{Si}_x\text{H}_y(\text{OR})_z$ 、

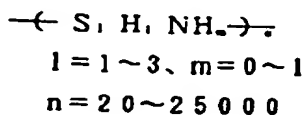
$x=1\sim3$ 、 $y=3\sim1$ 、Rは水素原子あるいは低級アルキル基

で示される第1のシリコンポリマー、または式  
【化2】



$x=1\sim3$ 、 $y=3\sim1$ 、Rは水素原子あるいは低級アルキル基

で示される第1のシリコンポリマー、または式  
【化4】



で示される第2のシリコンポリマーを塗布した後、熱を  
えて層間膜を形成する工程を含む半導体装置の製造方

無機膜を含む層間膜を半導体基板上に形成し、前記層間膜に開口部を形成して、前記開口部の側壁面に前記無機膜を露出した後、真空度 $10^{-3}\text{ Torr}$ 以下、温度150～550℃にて熱処理する工程を含む半導体装置の製造方法。

【請求項3】 スピンオンガラス法によって無機膜を半導体基板上に形成後、前記無機膜上に、窒素プラズマを照射する工程を含む半導体装置の製造方法。

【請求項4】 スピンオンガラス法によって無機膜を半導体基板上に形成後、前記無機膜上に、紫外線を照射する工程を含む半導体装置の製造方法。

【請求項5】 前記スピンオンガラス法によって形成する無機膜は、式

【化1】

で示される第2のシリコンポリマーから形成される無機膜を含む請求項1ないし4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】 半導体基板上に、式

【化3】

法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置の製造方法、特に、金属配線間、金属配線下または上の層間絶縁膜形成方法および平坦化方法に関するものである。

【0002】

【従来の技術】近年、半導体デバイスの高密度化、高集積化に対して、下地段差の低減や配線間の絶縁膜の平坦

化がデバイスの歩留りや信頼性を向上する上で重要なプロセスの1つとなっている。そのうち、シリコンポリマーをスピノングラス (Spin-On-Glass) 法によって塗布形成した膜 (以下「SOG膜」と記す) を熱処理する方法が適用されている。

【0003】SOG膜を形成する材料 (以下「SOG材料」と記す) には、無機SOG材料と、アルキル基がシリコンの直接結合した構造を有する有機SOG材料との2種類がある。

【0004】無機SOG材料を用いて、下地段差を低減しようとする場合、図24に示すように、下地の酸化膜4上に無機SOG膜5aを塗布形成した後、さらにもう一度、図25に示すように、無機SOG膜5bを塗布形成して平坦性を向上する必要がある。

【0005】また、段差と段差との間のスペースを埋めた無機SOG膜には、成膜時に膜が収縮することによって引っ張り応力が働き、クラック20が発生する。

【0006】SOG膜が金属配線上のパッシベーション膜の一部として適用された場合、このクラックは耐湿性にも影響する。たとえば、図26に示すように、金属配線上にプラズマCVD法によって形成されたシリコン窒化膜11の段差下部にはクラック21が発生しやすい。この段差下部を埋めるべく無機SOG膜5bが適用されるが、この無機SOG膜5bにもクラック20が発生すると、シリコン窒化膜11のクラック21との両方によって耐湿性が損なわれ、金属配線7を腐食することがある。

【0007】一方、図27に示すように、有機SOG膜5cを用いた場合、およそ1.5μmまでの膜形成が可能であることから、1回の塗布によって下地段差を低減できる利点がある。

【0008】しかし、有機SOG膜にはSi-CH<sub>3</sub>やSi-C<sub>2</sub>H<sub>5</sub>などのアルキル基が含まれ、このアルキル基が酸素プラズマによってダメージを受けやすい。このため、図28に示すように、ビアホールのエッチング時において、サイドエッチング22が発生したり、クラックや膜剥がれ23が発生する。

【0009】したがって、ビアホールの側壁に有機SOG膜5cが露出しない構造を形成する必要がある。すなわち、有機SOG膜5cを塗布形成後全面エッチバックを行ない、図29に示すように、下地段差上部の有機SOG膜を除去する。この付加的なプロセスを経ることによって、図30に示すように、ビアホールの側壁に有機SOG膜5cが露出しない構造を形成することが可能となる。

【0010】さて、このような従来の無機SOG膜の問題を解決するため新しい材料として、従来の無機SOG膜よりも厚く塗布形成することができる無機SOG膜 (以下、「厚膜無機SOG膜」と記す) がある。特開平5-121572号公報には、厚膜無機SOG膜の材料

として、式

【0011】

【化5】

$$\text{—(Si, H, NH)}\text{—}$$

$$l = 1 \sim 3, m = 0 \sim 1$$

$$n = 20 \sim 25000$$

【0012】を使用した例が開示されている。この例は、第1の金属配線3上に上記化学式を持つシリコンポリマーを含む層間絶縁膜を堆積して、図31に示すように、ビアホール24のエッチングを行なった後、図32に示すように、第2の金属配線7を形成するものである。

【0013】ここで、塗布焼成されたシリコンポリマーは、SiONまたはSiO<sub>2</sub>構造となって膨張する。このため、膜に残留圧縮応力が発生することによって、クラック耐性が向上するとともに、膜の緻密化を図ることができる。

【0014】このプロセスにより、サイドエッチやクラックを抑制することができる。しかし、図33に示すように、ビアホール24形成後、第2の金属配線を形成する際に、ビアホール側壁の厚膜無機SOG膜から、H<sub>2</sub>OやCO<sub>2</sub>などのガスが発生して第2の金属配線7が腐食するという、いわゆるボイズンドビアの不良を引き起こす現象がある。この現象は、従来の無機SOG膜を適用した構造27や、有機SOG膜を適用した構造26にも、図34に示すように、同様に生じる。

【0015】

【発明が解決しようとする課題】以上説明したように、従来の無機SOG材料を用いて、半導体デバイスの配線間の絶縁膜の平坦化や下地段差の低減を図る場合、重ね塗りによる多層形成が必要で、工程数が増えコストがかかる問題や、成膜時に膜が収縮することによってクラックが発生し、耐湿性などのデバイスの信頼性に影響を及ぼす問題がある。

【0016】また、従来の有機SOG材料を用いた場合でも、有機SOG膜露出面がサイドエッチされたり、クラックが入り配線の不良を引き起こす問題がある。

【0017】さらに、以上の2種類のSOG材料の改良SOG材料である厚膜無機SOG材料を用いた場合でも、ビアホール側壁部の厚膜無機SOG膜露出面からの脱ガスによって、いわゆるボイズンドビアと呼ばれる配線腐食を起こし、デバイスの信頼性を損なうという問題がある。

【0018】本発明は、厚膜無機SOG材料を適用しても、工程数を増やすことなく、しかも、コストを抑え、クラック耐性が大きく、耐湿性に優れ、配線の不良も起こさない半導体装置の製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の製造方法は、スピニングガラス法によって無機膜を半導体基板上に形成後、温度300～550℃の下で、窒素の雰囲気、空気の雰囲気または水蒸気の雰囲気にて熱処理を行ない層間膜を形成する工程を備える。

【0020】この製造方法によれば、層間膜は、従来の無機SOG膜よりも厚膜化することができる。

【0021】したがって、1回の塗布によって下地段差を低減することができるとともに、クラック耐性を向上することができる。

【0022】また、請求項2に記載の製造方法は、スピニングガラス法によって形成された無機膜を含む層間膜を半導体基板上に形成する工程と、その層間膜に開口部を形成し、その開口部の側壁面に無機膜を露出させた後に、真空度 $10^{-3}$ Torr以下、温度150～550℃にて熱処理する工程とを含んでいる。

【0023】この製造方法によれば、真空度 $10^{-3}$ Torr以下、温度150～550℃にて熱処理を行なうことにより、側壁面の無機膜に吸着しているガスを脱離することができる。

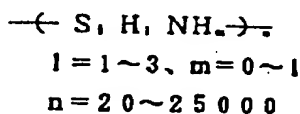
【0024】したがって、この後、金属配線を形成して $\text{SiH}_x(\text{OR})_y$ 、

$x=1\sim 3$ 、 $y=3\sim 1$ 、Rは水素原子あるいは低級アルキル基

【0032】で示される第1のシリコンポリマー、または式

【0033】

【化7】



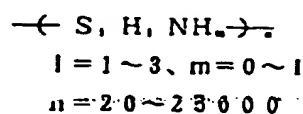
【0034】で示される第2のシリコンポリマーを適用することができる。さらに、請求項6に記載の半導体装置の製造方法は、上記のような、第1または第2のシリコンポリマーを形成した後、熱処理を加えて層間膜を形成する工程を備えるので、クラック耐性が向上でき、層 $\text{SiH}_x(\text{OR})_y$ 、

$x=1\sim 3$ 、 $y=3\sim 1$ 、Rは水素原子あるいは低級アルキル基

【0039】で示される第1のSOG材料、または、式

【0040】

【化9】



も、金属配線が開口部で腐食することがなくなる。

【0025】また、請求項3に記載の製造方法は、スピニングガラス法によって無機膜を半導体基板上に形成後、その無機膜上に窒素プラズマを照射する工程を含む。

【0026】この製造方法によれば、無機膜上層に、窒素プラズマを照射することによって窒化することができる。

【0027】したがって、無機膜内部が窒化した表面で保護されるので、クラック耐性をさらに向上することができる。

【0028】また、請求項4に記載の製造方法は、スピニングガラス法によって無機膜を半導体基板上に形成後、その無機膜上に紫外線を照射する工程を含む。

【0029】この製造方法によれば、無機膜に紫外線を照射することによって、 $\text{Si-O}_2$ 化することができる。

【0030】したがって、クラック耐性をより向上することができる。請求項5に記載の製造方法によれば、そのようなスピニングガラス法によって形成される無機膜の材料として、式

【0031】

【化6】

間膜を厚膜化することができる。

【0035】したがって、下地の段差を容易に低減することができるとともに、耐湿性等のデバイスの信頼性を向上することができる。

【0036】

【発明の実施の形態】

（実施の形態1）SOG材料を用いた本発明の実施の形態1を図を用いて説明する。

【0037】本発明で使用するSOG材料は厚膜無機SOG材料と呼ばれ、 $\text{Si-H}$ や $\text{Si-N}$ などの無機基とシリコンとの結合を持ち、式

【0038】

【化8】

【0041】で示される第2のSOG材料がある。この厚膜無機SOG材料は、 $\text{Si-OH}$ 結合からなる従来の無機SOG材料に比べると、 $\text{Si-H}$ の結合が切れにく

いため、内部応力によるクラック耐性が約1.3~2.0倍に向上した。このため、一回の塗布で、従来の無機SOG膜よりも厚膜化が可能となった。

【0042】まず、図1に示すように、下地酸化膜4上に厚膜無機SOG膜5をスピンコートにより塗布し、溶媒を除去する。その後、シンタ炉にて $N_2$ 、 $H_2O$ または $O_2$ などの適当な雰囲気中で300~550℃の温度範囲で熱処理する。

【0043】この熱処理工程において、クラック耐性をより向上するためにシンタ炉への挿入および引出速度は、10cm/min以下であることが望ましい。また、挿入、引出しのときの温度は、実処理温度よりも30~100℃低い温度で行なうのが好ましい。

【0044】実際に、挿入引出温度を実処理温度と同じとした場合、5000ÅでSOG膜にクラックが発生したものが、挿入引出の温度を実処理温度より30~100℃下げることによってSOG膜のクラックの発生を防止することができた。

【0045】また、挿入引出速度を15cm/minで行なった場合、7000ÅでSOG膜にクラックが発生していたものが、10cm/minに下げることによってSOG膜のクラックの発生を防止することができた。

【0046】このようにして、1回のSOG材料の塗布によって下地段差の低減やクラック耐性の向上が図れるので、半導体装置の信頼性を上げることができるとともに、工程数を増やすことがなく、製造コストも抑えることができる。

【0047】（実施の形態2）次に、本発明の実施の形態2を説明する。

【0048】図1に示したように、下地酸化膜4上に厚膜無機SOG膜を塗布形成した後、図2に示すように、プラズマCVD法により、シリコン酸化膜6を形成する。所定のマスクにより、ビアホールのパターニングを行ない、異方性エッチングを行なってビアホール24を形成する。

【0049】次に、図3に示すように、ビアホール側壁に厚膜無機SOG膜の一部が露出した状態において、 $10^{-3}$ Torr以下の減圧状態にて、温度150~550℃の範囲で熱処理を行なう。この熱処理によって、ビアホール側壁部のSOG膜の一部に吸着している $CO_2$ 、 $H_2O$ などの残留ガス25や吸着水が脱離する。

【0050】熱処理後、ビアホール側壁に不純物が再吸着するのを防ぐために、図4に示すように、連続して第2の配線7を形成する。

【0051】ここで、熱処理の温度範囲は次の実験により求めた。すなわち、ビアホールを開口して厚膜無機SOG膜の一部が露出した状態において、TDS（Thermal-Desorption-Spectroscopy）により脱ガス量を評価した。この場合、第1のSOG材料を適用した。

【0052】その結果、図5に示すグラフを得た。これ

は、ウェハに与える温度とウェハから脱離して検出される物質の質量数との関係を示すものである。このグラフによると、質量数18、すなわち $H_2O$ の脱ガス量が多く、150℃付近を中心に放出されていることが判明した。

【0053】したがって、ビアホール開口後の熱処理の下限温度は150℃であることが望ましい。一方、上限温度は金属配線が溶融しない550℃が好ましい。

【0054】さらに、ウェハの歩留りの熱処理温度依存性を評価した。図6はその結果で、熱処理温度が100℃では歩留りにばらつきが大きい、200℃以上になると高歩留りでかつばらつきが低減していることがわかった。

【0055】このようにして、厚膜無機SOG膜を金属配線間に適用した際に、ビアホールに厚膜無機SOG膜が露出した構造となっても、減圧下にて熱処理して脱ガスを行なうことによって、金属配線が腐食するのを防ぐことができ、半導体装置を高歩留りでかつ安定して得ることができる。

【0056】（実施の形態3）次に、実施の形態3を説明する。

【0057】図7に示すように、第2の配線7上に、厚膜無機SOG膜5を塗布形成し、熱処理してビアホールを埋め込む。その後、図8に示すように、プラズマCVD法によって、シリコン酸化膜2を形成した後、第3の配線28を形成する。さらに、第3の配線28を覆うようにシリコン酸化膜4を形成する。

【0058】以下、同様の工程を繰返すことによって、3層以上の多層配線構造を形成する。

【0059】このようにして、厚膜無機SOG膜を適用することによって下地の段差を低減したり、ビアホールを埋め込むことができるので、多層配線を容易に形成ことができ、デバイスの高集積化を図ることができる。

【0060】（実施の形態4）次に、実施の形態4として、SOG膜の窒化を行ない、さらにクラック耐性を向上する方法について説明する。

【0061】図9に示すように、第1の配線3を覆うようにプラズマCVD法によってシリコン酸化膜4を形成した後、厚膜無機SOG膜5を塗布形成する。

【0062】次に、この厚膜無機SOG膜5表面に窒素プラズマを照射し、図10に示すように、厚膜無機SOG膜5の表面を窒化5dする。

【0063】ここで、厚膜無機SOG膜塗布形成後、窒素プラズマ処理の有無による脱ガス量をTDSにて評価した。その結果、図11および図12に示すグラフを得た。この場合、第1のSOG材料を適用した。

【0064】図11は窒素プラズマ処理をしないもの、図12は窒素プラズマ処理をしたものである。図12に示すように、窒素プラズマ処理を行なったものは500



て付近までは脱ガスはほとんど見られなかった。つまり、500℃以下では膜の分解などが抑制され、膜の収縮が起こらない。したがって、SOG膜表面付近を窒化することにより、クラック耐性が向上することがわかった。

【0065】さらに、クラック耐性の加速評価を行なったところ、窒素プラズマ処理した厚膜無機SOG膜は、400℃15分、窒素雰囲気による熱処理を10回繰返してもクラックが発生しなかった。一方、窒素プラズマ処理をしなかった厚膜無機SOG膜については、4回目でクラックが発生した。

【0066】このようにして、厚膜無機SOG膜塗布形成後、窒素プラズマ処理を施すことによってクラック耐性が向上し、信頼性の高い半導体装置を得ることができる。

【0067】（実施の形態5）次に、実施の形態5として、厚膜無機SOG膜のSiO<sub>2</sub>化をより促進し、クラック耐性を向上させる方法について説明する。

【0068】図13に示すように、第1の配線3を覆うようにプラズマCVD法によってシリコン酸化膜4を形成した後、厚膜無機SOG膜5を塗布形成する。次に、この厚膜無機SOG膜5表面に紫外線を照射する。

【0069】ここで、紫外線照射の有無による厚膜無機SOG膜中のSiO<sub>2</sub>化の違いを、図15および図16を用いて説明する。図15は、厚膜無機SOG膜塗布形成後紫外線照射せずに、300℃または400℃で熱処理した後のSOG膜の赤外線吸収スペクトルを示し、図16は、厚膜無機SOG膜塗布形成後紫外線照射を行ない、300℃または400℃で熱処理した後のSOG膜の赤外線吸収スペクトルを示す。この場合、第2のSOG材料を適用した。

【0070】紫外線照射した厚膜無機SOG膜は、Si-O-Siの結合に対応する赤外線吸収強度が、紫外線を照射しない厚膜無機SOG膜のものと比べて大きくなり、SiO<sub>2</sub>化が促進されていることが判明した。

【0071】このようにして、紫外線を照射することによって、図14に示すように、SiO<sub>2</sub>5e化が促進され、クラック耐性がさらに向上して信頼性の高い半導体装置を得ることができる。

【0072】さらに、厚膜無機SOG膜のクラック耐性が向上する特性は、耐湿性も向上する役目を果たす。

【0073】（実施の形態6）そこで、実施の形態6として、パッシベーション膜と併用する場合について説明する。

【0074】図17に示すように、金属配線7上にプラズマCVD法によって形成されたパッシベーション膜1としてのシリコン窒化膜11の段差下部付近にはクラック21が入りやすい。しかし、クラックが入ったとしても、シリコン酸化膜またはシリコン窒素の上に、厚膜無機SOG膜を塗布形成し熱処理を加えてクラック21

を塞ぐことによって、クラックから水蒸気などが浸入するのを防ぐことができる。

【0075】したがって、半導体装置の耐湿性が向上し、信頼性の高い半導体装置を得ることができる。

【0076】（実施の形態7）次に、実施の形態7を説明する。

【0077】厚膜無機SOG膜を適用することによって、配線腐食防止、クラック耐性、平坦性の向上に直接効果があることは述べてきたとおりであるが、半導体デバイスの電気的特性の向上へも間接的に貢献することができる。すなわち、厚膜無機SOG膜以外のシリコン系の膜において、もしSi原子にダングリングボンドと呼ばれる未結合手が存在する場合、厚膜無機SOG膜中に存在する水素がその未結合手へ結合して、未結合手を終端させる役目を果たすことができる。つまり、厚膜無機SOG膜が未結合手への水素供給源となるのである。

【0078】たとえば、先端メモリデバイスの1つとしてSRAM（Static-Random-Access-Memory）がある。SRAMのメモリセルはフリップフロップにより形成され、いくつかのタイプがある。その中に、安定性のよいCMOS型セルでかつセル面積を小さくするために開発されたTFT（Thin-Film-Transistor）型がある。

【0079】図18は、その断面の一例を示すものである。TFTは、基板1上に形成されたゲート電極9上にゲート酸化膜31を介在させて、ポリシリコン34からなるチャンネル領域と、ゲート電極9の両側に1対のソース/ドレイン32、33とを含んで構成される。ポリシリコン34には、図19に示すように、結晶粒界35が存在する。その結晶粒界35には、シリコンのダングリングボンド36が存在し、ミッドギャップ準位を形成する。

【0080】この準位にキャリアがトラップされ、他のキャリアを結晶粒界35から排除して空乏層37を作り、電位障壁を作る。この電位障壁のために、ゲート電圧がしきい値電圧のときのソース/ドレイン間電流であるオン電流が減少したり、ゲート電圧が0Vのときのソース/ドレイン間電流であるオフ電流が、この準位を介した熱励起によりリーク電流として生じる。

【0081】したがって、TFTの電気的特性として、オン電流は高い方が、オフ電流は低い方が特性がよい。

【0082】そこで、図20に示すように、TFT上にTEOS系シリコン酸化膜38を介在させ、厚膜無機SOG膜5を形成する。図21に示すように、厚膜無機SOG膜中の水素が下層のTFTのポリシリコン34のダングリングボンドに結合39する。

【0083】水素が結合することにより、ミッドギャップ準位のキャリアを減少させて、電位障壁を下げ、オン電流を増加させるとともに、ミッドギャップ準位を介した発生電流を抑制して、オフ電流を減少させることができる。

【0084】実際に、チャンネル長 $0.6\mu\text{m}$ 、チャンネル幅 $0.8\mu\text{m}$ を有するTFTを備えたSRAMにおいて、厚膜無機SOG膜を適用しない場合、オン電流が $1\text{pA}$ 程度、オフ電流が $100\text{fA}$ 程度であったものが、厚膜無機SOG膜を適用することによって、オン電流 $10\text{pA}$ 程度、オフ電流 $10\text{fA}$ 程度となり、それぞれ約1桁の特性向上を達成することができた。

【0085】また、SRAMに限らずDRAM (Dynamic-Random-Access-Memory) においても、ダングリングボンドを終端させることによって、メモリ信号を再生させるリフレッシュの間隔を延ばすことができるなど、リフレッシュ特性を改善することができる。さらに、トランジスタの接合リーク電流を低減することができる。このようにして高性能でしかも信頼性の高い半導体装置を得ることができる。

【0086】以上の実施の形態においては、厚膜無機SOG膜を残すようなプロセスつまり、ノンエッチバックプロセスを中心に説明したが、デバイスの平坦性向上を図るために、エッチバックを行なうこともできる。

【0087】(実施の形態8)そこで、実施の形態8について説明する。

【0088】図22に示すように、半導体基板1上に形成された分離絶縁膜8、ゲート電極9などを埋めるように酸化膜10を堆積する。その後、その酸化膜10上に厚膜無機SOG膜5を塗布形成熟処理することによって酸化膜の段差部を埋め、ほぼ平坦なSOG膜を形成する。次に、このSOG膜および酸化膜をたとえば異方性エッチングにより全面エッチバックを行ないSOG膜を除去する。この工程により、図23に示すように、段差の軽減された下地を得ることができる。

【0089】なお、ドライエッチバックに限らず、SOG膜と酸化膜に対するエッチングレートがほぼ同じになるようなエッチング方法であればどんな方法でもよい。

【0090】このようにして、下地段差を軽減することができるので、後の工程における写真製版工程において、所定のパターンを精密に形成することができ、信頼性の高い半導体装置を得ることができる。

【0091】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記で説明した範囲ではなくて特許請求の範囲によって示され、特許請求の範囲の均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図2】 本発明の実施の形態2に係る半導体装置の製造方法の一工程を示す断面図である。

【図3】 本発明の実施の形態2において、図2に示す工程の後に行なわれる工程を示す断面図である。

【図4】 本発明の実施の形態2において、図3に示す工程の後に行なわれる工程を示す断面図である。

【図5】 本発明の実施の形態2に係るTDSによるSOG膜の脱ガス評価結果を示すグラフである。

【図6】 本発明の実施の形態2に係るウェハ歩留りとベーク温度との関係を示すグラフである。

【図7】 本発明の実施の形態3に係る半導体装置の製造方法の一工程を示す断面図である。

【図8】 本発明の実施の形態3において、図7に示す工程の後に行なわれる工程を示す断面図である。

【図9】 本発明の実施の形態4に係る半導体装置の製造方法の一工程を示す断面図である。

【図10】 本発明の実施の形態4において、図9に示す工程の後に行なわれる工程を示す断面図である。

【図11】 本発明の実施の形態4に係るTDSによるSOG膜の脱ガス評価結果を示す第1のグラフである。

【図12】 本発明の実施の形態4に係るTDSによるSOG膜の脱ガス評価結果を示す第2のグラフである。

【図13】 本発明の実施の形態5に係る半導体装置の製造方法の一工程を示す断面図である。

【図14】 本発明の実施の形態5において、図13に示す工程の後に行なわれる工程を示す断面図である。

【図15】 本発明の実施の形態5に係る赤外線吸収によるSOG膜スペクトルの第1の図である。

【図16】 本発明の実施の形態5に係る赤外線吸収によるSOG膜スペクトルの第2の図である。

【図17】 本発明の実施の形態6に係る半導体装置の製造方法の一工程を示す断面図である。

【図18】 本発明の実施の形態7に係るSRAMのTFT近傍の断面図である。

【図19】 本発明の実施の形態7において、ポリシリコン中のシリコンの結合状態を示す図である。

【図20】 本発明の実施の形態7において、図18に示すTFT上にSOG膜を形成した断面図である。

【図21】 本発明の実施の形態7において、図20に示すポリシリコン中のシリコンの結合状態を示す図である。

【図22】 本発明の実施の形態8に係る半導体装置の製造方法の一工程を示す断面図である。

【図23】 本発明の実施の形態8において、図19に示す工程の後に行なわれる工程を示す断面図である。

【図24】 従来の半導体装置の製造方法の一例の一工程を示す断面図である。

【図25】 従来において、図21に示す工程の後に行なわれる工程を示す断面図である。

【図26】 従来の半導体装置の製造方法の他の例の一工程を示す断面図である。

【図27】 従来の半導体装置の製造方法のさらに他の例の一工程を示す断面図である。

【図28】 従来において、図24の工程の後に行なわ

れる工程を示す第1の断面図である。

【図29】 従来において、図24の工程の後に行なわれる工程を示す第2の断面図である。

【図30】 従来において、図26に示す工程の後に行なわれる工程を示す断面図である。

【図31】 従来の半導体装置の製造方法のまたさらに他の例の一工程を示す断面図である。

【図32】 従来において、図28に示す工程の後に行なわれる工程を示す断面図である。

【図33】 従来において、図29に示す工程の後の断

面を示す図である。

【図34】 従来の半導体装置の製造方法のまたまたさらに他の例の一工程を示す断面図である。

【符号の説明】

2, 4, 6, 11, 12 シリコン酸化膜、3 第1の配線、5, 5d 厚膜無機SOG膜、5a, 5b 無機SOG膜、5c 有機SOG膜、7 第2の配線、20, 21, 23 クラック、22 サイドエッチ、24 ビアホール。